

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-075981

(43) Date of publication of application : 15.03.2002

(51) Int.Cl. H01L 21/314
H01L 21/316
H01L 21/768

(21) Application number : 2001-189162 (71) Applicant : TEXAS INSTR INC <TI>

(22) Date of filing : 22.06.2001 (72) Inventor : SWANSON LELAND S
JACOBS ELIZABETH G

(30) Priority

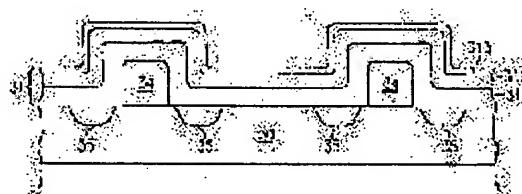
Priority number : 2000 213300 Priority date : 22.06.2000 Priority country : US

(54) SEMICONDUCTOR DEVICE PROTECTIVE FILM HAVING POLYMER MATERIAL AND INTENSIFIED ADHESION AND ITS MANUFACTURING METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an integrated circuit having a low-stressed thin protective film having a polymer material usable for packaging semiconductor devices and an intensified adhesion in passivation film layers.

SOLUTION: A protective film of an integrated circuit contains materials deposited by PECVD process in the following order: a thin film of silicon dioxide, a layer of silicon nitride, silicon nitride oxide, or silicon carbide and a very thin topmost layer of silicon oxide.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-75981

(P2002-75981A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl.
H 01 L 21/314
21/316
21/768

識別記号

F I
H 01 L 21/314
21/316
21/90

テマコト*(参考)
M 5 F 0 3 3
X 5 F 0 5 8
K

審査請求 未請求 請求項の数2 OL (全8頁)

(21)出願番号 特願2001-189162(P2001-189162)
(22)出願日 平成13年6月22日(2001.6.22)
(31)優先権主張番号 60/213300
(32)優先日 平成12年6月22日(2000.6.22)
(33)優先権主張国 米国(US)

(71)出願人 590000879
テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 13500
(72)発明者 リーランド エス スワンソン
アメリカ合衆国 テキサス州 75070 マ
ッキニー メドウ リッジ サークル
4811
(74)代理人 100059959
弁理士 中村 稔 (外9名)

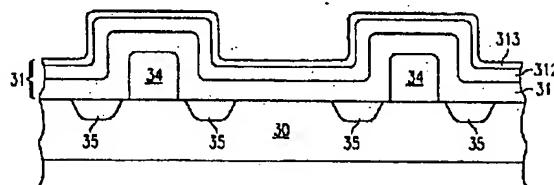
最終頁に続く

(54)【発明の名称】重合体材料と増強された接着性を持つ半導体装置保護被膜及びその製造方法

(57)【要約】

【課題】低ストレスで薄膜の、半導体装置のパッケージングに使用される重合体材料及びバシベーション膜層内の増強された接着性を持つ、保護被膜を有する集積回路を提供する。

【解決手段】集積回路の保護被膜は、PECVD処理により堆積された以下の順序の材料を含む：二酸化シリコンの薄膜、塗化シリコン、酸化塗化シリコン、又は炭化シリコンの層、及び酸化シリコンの大変薄い最上層。



(2)

特開2002-75981

2

1

【特許請求の範囲】

【請求項1】増強された接着性の保護被膜を有する集積回路であって、前記被膜は、

二酸化シリコンの第1層と、

塗化シリコン、炭化シリコン、又は酸化塗化シリコンからなるグループから選ばれたシリコン化合物の第2層と、

大変薄い二酸化シリコンの膜を含む第3層と、
の薄膜層を有する集積回路。

【請求項2】パッケージングに使用される重合体材料及び後膜の層間の増強された接着性を持つ保護被膜を有するリード付き表面実装半導体装置を形成する方法であって、

製造された集積回路を含む1つ又は複数の半導体ウェハをプラズマ堆積反応室に内に置き、

PETEOS(プラズマ増強テラエチルオルソ・シリケート)プロセスを使用した二酸化シリコン層の堆積前に、室を排気し、

ガス供給を、シラン、窒素及びアンモニアを含むものに変えて、PECVD(プラズマ増強化学蒸着)プロセスを使用し、塗化シリコンの層を堆積し、

ガス供給を変えて、PETEOSプロセスを使用して、二酸化シリコンの薄膜を堆積し、ホトレジストを塗布し、接着パッド及び/又は他の開口を光パターン化し、そして乾式食刻プロセスを使用して保護被膜内に開口をエッチングする。

各ステップを含む方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に半導体装置に関し、より詳細には集積回路上の保護被膜(オーバーポート)に関する。

【0002】

【従来の技術】集積回路(IC)は典型的に、チップとして知られる、半導体基板上に製造される。そして最も普通の基板はシリコンから作られている。シリコン・チップは普通、チップの入力/出力接点間のピッチ又は距離を効果的に拡大する役割を有し、印刷回路基板に取付けるに適するようにし、そしてICを機械的及び環境的損傷から保護するためのパッケージに組立てられる。不都合なことに、その保護を与えることを意図したパッケージが時々、装置の故障に寄与する。それはVLSIチップを収容するある表面実装パッケージがチップとモールディング化合物との間の境界の劣った接着性のため、剥がれを生ずるような場合である。プラスチックにより吸収された水分から生ずる、剥がれた境界での蒸気圧の急遽な増加、及びパッケージを印刷配線基板にはんだ付けする急速な過熱が、パッケージ割れ、接続ワイヤ破損、その他のストレスに関係する故障として出現する故障を発生する。

10

20

40

50

【0003】最近、半導体業界は、より典型的な入力及び出力(I/O)端子の周辺がモールドされたプラスチック・パッケージ内の封じこめられたリード・フレームに取付けられたものに対してエリア・アレイ・フォーマットなどの、減少されたパッケージの大きさを導入している。これらエリア・アレイ集合体はチップ・スケール・パッケージ(CSP)である。この一例が、図1に示されている。ワイヤ接続された又はフリップ・チップ・ボール・グリッド・アレイ(BGA)パッケージ、及びダイレクト・チップ取付け(DCA)では、チップが印刷回路基板に中間のパッケージを使用せずに直接に取付けられている。しばしば、これらエリア・アレイ集合体は、チップの入力/出力(I/O)接点からはんだを再フローすることにより基板又は印刷回路(PC)基板に取付けられたはんだパンプ又はボール11を有し、陥気的及び機械的接続の両方を行なっている。シリコン・チップ10と基板又はPC基板12は異なる熱膨張係数(CTE)を有するため、硬く、より小さいCTEのチップとより柔軟で、より高いCTEのPC基板の間のはんだ接続にストレスを生ずる。はんだの再フロー中に、及び/又はICのオン及びオフを繰返すパワー時に熱膨張係数の不一致により発生するストレスが生ずる。ストレスはしばしば1つ又は複数のはんだ接合の機械的な故障を生じ、そのため、製品の陥気的な故障を生ずる。

【0004】はんだの疲労損傷を減少し、そして熱的に導入されたストレスをより大きな面積に分配する試みのため、重合体充填材又は「下方充填」封じ込め材15が、液体形式で導入されて、はんだボールを取り囲み、そしてチップ又はCSP10及びPCボード12の間の空洞を充填する。典型的に、下方充填材はチップ端の近くに注入され、そして毛細管現象によりチップの下とはんだボールの回りに流れれる。この「下方充填材」は、時間、温度、紫外線照射又はそれらのある組合せにより、硬い形へ硬化される。

【0005】この「下方充填材」のプロセスは、局所化されたストレス集中を生ずる装置下に取り込まれた空気ボケット又は空隙16、接する裏面の1又は複数に対する下方充填材の劣った接着、そして退屈で時間を要するプロセスなど、これらには限定されない、幾つかの欠点を有する。粘性的下方充填材化合物、普通は無機のフィラーを有するエポキシ樹脂、がチップ上の保護被膜と、基板表面及び/又ははんだパンプとの劣っためれから生ずるチップ下の空隙の形成を生じないようにするために、ゆっくりと順序良く導入される。

【0006】材料表面間の接着と劣っためれの効果は長く研究されている。制御要素は、清浄さ、表面張力、トロログラヒフィ、及び接着剤の化学的性質である。

【0007】多くの半導体チップ製造業者のチップ・パシベーション又は保護被膜(PD)の選択は、主として移動イオンと汚染物質の侵入に対する優れた抵抗のた

(3)

特開2002-75981

3

め、室化シリコンである。しかし、室化シリコンは接着とぬれのためにアクティブな場所を与えず、割れや剥がれを生ずるストレス・レベルを受ける。ストレスは堆積技術により変わり、そしてストレスの量を制御してチップ性能と信頼性の劣化を防ぐために圧縮力を与えるために、集中した試みがなされた。

【0008】室化シリコンの保護被膜のこれらの欠点のため、チップ製造業者はしばしば、保護被膜の再上部にポリイミドのパターン化された膜を塗布することを強いられた。図2a及び図2bは、チップ20上のポリイミド膜22を示す。ポリイミド膜22は、図2bの通常のリード付きプラスチック・モールドされたパッケージ内のモールディング化合物26などの半導体パッケージングに使用される重合体との、もしくは別のタイプのパッケージングの下方充填材又はボッティング化合物との、接着を改良するために加えられる。ポリイミド22は室化シリコン又は他の薄膜PO(21)の最上部に塗布されてパターン化される。

【0009】図2aは、保護被膜21上にパターン化されたポリイミド被膜22を持ったチップ20の表面トポグラフィをより詳細に示す。接着性に関しては、ポリイミド膜は、もし、滑らかで平面的な表面に十分な程度に厚ければ、ネガティブな効果を有するであろう。薄い室化シリコン保護被膜21はチップ回路24の輪郭を流れるが、より厚いポリイミド22は輪郭を弱めて、より平らな表面にする。このような滑らかな表面は、最適な接着のための理想に適しているものではない。

【0010】ポリイミド膜の弾性率は典型的な無機膜よりも高いが、より高い熱膨張係数と結合した厚膜は、剥離又は曲げの結果を生ずることのできるウエハ上へのストレスを生じる。ポリイミドなどの有機膜は、無機膜のより大きな熱伝導性も好ましい高い熱的安定性も有しない。

【0011】ポリイミド前駆体は、接着促進剤を前もって準備された又は代替的にそのような化合物がポリイミドの処方にふくまれている。ウエハの表面に塗布される。そして、ポリイミドは光パターン化される。ポリイミドの処方には直接のパターン化を可能にする光感受性剤を含んでも良いし、もしそうでなければ、別のフォトレジスト・ステップが必要とされる。次に、膜は熱的プロセスにより硬化または架橋される。ポリイミドがとても高価な化合物であるばかりではなく、処理が時間を要し、高価で、そしてウエハ上の良いチップの歩留まりに悪い影響を与えるであろう。

【0012】

【発明が解決しようとする課題】従って、半導体業界においては、モールディング及び下方充填剤の化合物などの重合体と容易にぬれて、そして良い接着性を有する、信頼性のあるチップ保護被膜、この被膜はチップ回路にほとんどストレスを与えずそしてウエハ処理においてコ

4

スト効率的であるものの必要性が存在する。

【0013】

【課題を解決するための手段】本発明の1つの目的は、集積回路チップの組立てに使用される重合体材料に対して良いぬれと接着性と同様に、層間の良い接着性を有する信頼性がありコスト効率的なチップ保護被膜を提供することである。

【0014】本発明の1つの目的は、既存のウエハ製造装置及び材料を使用して、増強された接着性を持った保護被膜のための製造方法提供することである。

【0015】本発明のさらなる目的は、チップ上のアクティブ回路とメタライゼーションにほんの少しで制御可能なストレスを与える熱的に安定なチップ保護被膜を提供することである。

【0016】本発明の1つの目的は、優れた拡散障壁性質を有するチップ保護被膜を提供することである。

【0017】本発明の1つの目的は、重合体被膜と比較して改良された熱伝導性を有する無機のチップ保護被膜を提供することである。

【0018】本発明のこれらの目的は、以下の順序で材料を含んだ集積回路装置上の保護被膜を提供することにより達成される：アクティブ回路及びメタライゼーション上の5,000乃至10,000オングストロームの厚さの範囲の酸化シリコンの薄膜、約1,000乃至5,000オングストロームの厚さの室化シリコン、酸化室化物又は炭化シリコンの層、及び500乃至5,000オングストロームの厚さの範囲の酸化シリコンの上接着層。この複合被膜は、シリコン・ウエハ上へガス成分、及び反応室のプロセス変数を変えるが、追加のウエハの取扱いをしない、プラズマ増強化学蒸着により製造される。入力／出力端子のための開口が光パターンされて、堆積された被膜層内に食刻される。

【0019】二酸化シリコンの第1及び第3の層は、室化物により加えられたストレスを制御する機能を有し、優れた誘電体性質を与える。そして被膜層間と半導体装置の組立てに使用される重合体との両方の接着を可能にする。室化シリコン、炭化シリコン、又は酸化室化物の膜は、移動するイオン又は汚染物質の侵入に対する障壁として使用される。

【0020】本発明の前述及び他の目的、特徴及び利点は、以下の添付図面を参照にした本発明の好適な実施の形態の詳細な説明からより明らかとなる。

【0021】

【発明の実施の形態】図3は、本発明による保護被膜構造31を有する半導体チップ30の一部の断面図を示す。いくつかの新規な特徴が、信頼性の有る、保護被膜の複数の誘電体層間とチップのパッケージングに使用される重合体材料との両方へ良い接着性を有する高性能装置に貢献している。図3において、金属相互接続線34及び埋め込まれた構造35を含んだ絶縁回路は、追続し

(4)

特開2002-75981

5

て形成された以下の薄膜層を含むバシベーション又は保護被膜(PO)により覆われる;二酸化シリコンの膜311、シリコン化合物、好ましくは、塗化シリコン又は代替的にシリコンの酸化塗化物又は炭化物、の第2誘導体層312、及び二酸化シリコンの大変薄い最終又は最上層313である。これらの層は、外部の接点又は他の装置の要求(図示しない)のために必要な開口のパターンを有する。

【0022】該電体材料層は、普通、導電層間の電気的絶縁を与える機能、及び汚染物質に対して保護回路の下の構造を保護する機能を有する。これに加えて、追従した層の構成は、層のいずれか1つが損傷を受けた時でも、例えば、小さな割れの形成により、装置の保護を保証する。従って、異なる層間に完全な接着性を有することがどの領域でも大切である。

【0023】第1層311は、5,000乃至10,000オングストロームの厚さの範囲の二酸化シリコンである。二酸化シリコンという言葉、厳格な化学量の酸化シリコンをさすものではない。すなわちもS₁[x]O_[2-x]。この層は、塗化シリコン、又は保護被膜構造31の第2層のストレスを緩和し、及び装置回路のための優れた誘電体バシベーションを与える両方の役割を有する。第1層311及び第3層313の両方の二酸化シリコンは中間又は隔壁312層への接着を与える。さらに、二酸化シリコンの第1層はチップの回路又はメタライゼーション上にほとんど又は全く張力ストレスを与える、塗化シリコン層から下の回路へのストレスを切離す役目を果たす。

【0024】好適な実施の形態において、塗化シリコン又は隔壁層312は、移動イオン、水分及び他の汚染物質に対して優れた保護を与える。これは、酸化物層311、313と組合せられて、既存の技術によるより厚い、塗化物被膜に等しい。本発明において、1,000乃至5,000オングストロームの厚さは、隔壁又は第2層に対して十分である。

【0025】第2の実施の形態では、保護被膜312の第2層は、シリコンの酸化塗化物である。さらに、第3の実施の形態では、第2層は炭化シリコンである。酸化塗化物は、選択された光送信が必要な特別な装置のタイプにおいて好まれる。炭化シリコンは、とても高い熱伝導性を有することで良く知られており、PO層として、チップの表面を横断する回路から発生された局所化された熱を発散し、及び回路から外界へ熱を持ち去る手段を与える、2つの役割を有する。優れた隔壁特性を有し且つストレスが堆積パラメータにより容易に制御できる炭化シリコンの薄膜を与える技術が開発されている。

【0026】第2又は隔壁層のために選ばれたシリコン化合物は厳格に化学堆積を指すものではなく、その代り、実質的に前述の化合物を含んだ混合物及び業界において理解されるような混合物を指す。

16

6

【0027】第3の又は最上の酸化層は被膜の重合体材料への接着性のかぎとなる。500乃至5,000オングストロームの範囲の大変薄い膜だけが、下の塗化物への接着のためのアクティブ場所、及び低い表面張力を有する露出された表面と重合体とシリコン酸化物、下方充填材とプラスチック・モールディング化合物に使用されるエポキシなど、へのめれと接着のためのアクティブ場所を与えるのに必要である。シリコン酸化物、例えは、Si-Ox、Si-OH及びさまざまな形のシラン反応生成物が、下方充填材及びプラスチック・モールディング化合物に使用されるエポキシなどの重合体ための接着促進材として、当業者により良く認識されている。(米国特許5,795,821及び米国特許5,418,189)前述したように、材料間のめれ及び接着性の制御ファクターは、滑滑さ、表面張力、トポグラフィ、及び接着剤の化学的性質と認識されている。

【0028】図3から、薄膜の増強接着被膜31は下にある回路構造のトポグラフィに従う。これにより、不規則な生地を有する露出した表面が与えられる。接着性は粗くテクチャな表面が、滑らかで平面的な表面とは対照に、接着性を増強することが認識されている。

【0029】接着性増強保護被膜の重要な利点が、既知のウエハ処理技術及び業界中で用いられている自動化との互換性のプロセスにより与えられる。図4a乃至図4dは、図3に示されるような被膜31の製造ステップを示す。図4aにおいて、バーナー化された保護回路44を有し、最上金属相互接続45レベルを含むシリコン・ウエハ40は、プラズマ増強された化学蒸着室内に置かれる。矢印401で示される標準のPETOS(プラズマ増強テトラエチルオルソ・シリケート)プロセスを使用して、500乃至10,000オングストロームの厚さの範囲の酸化膜411が堆積される。図4bの詳細な図において示されるように、ガス源がシランと窒素及び/又はアンモニアを含むために変えられて、矢印402により示されるPECVDプロセスで、1,000乃至5,000オングストロームの厚さの範囲の塗化シリコン412の膜を堆積する。窒素源が除去されて、そして図4cにおいて、標準のPETOSプロセス401を使用して、酸化物413の最終の薄い層が加えられる。ウエハは室から取除かれて、ホトレジスト403が塗布されて、装置に必要な接着パッド48及び/又は他の開口を露呈するために光バーナーされる。バーナーは、装置上の接着パッド及び他の開口から保護被膜層を除去するために気体乾式エッチング・プロセス404を使用して好ましくは食刻される。代替的に、POを食刻するため緩衝されたフッ化水素酸を用いた湿式エッチングが使用される。

【0030】第2の実施の形態、二酸化シリコン、酸化塗化シリコン、及び二酸化シリコンの保護被膜層を有する装置、の製造は、酸素が窒素、シラン及びアンモニア

(5)

特開2002-75981

7

と共に第2層の堆積プロセス中に導入される点で上記のものと異なる。酸化窒化シリコンのためのプロセスは業界中に、特にEEPROM装置のために、知られていて使用される。彼等の第1及び第3層のためのプロセスは上記のものと変わりがない。

【0031】二酸化シリコン、炭化シリコン、及び二酸化シリコンの層を含んだ第3の実施の形態の保護被膜の製造は、炭化シリコンの第2層のために、Ar又はHeをキャリアガスとして一緒に、シラン/メタン、トリメチルシラン、テトラメチルシラン、又は他の有機シランガスが源ガスである点で、第1の実施の形態と異なる。再び、第1及び第3層はPETEOSプロセスを使用した二酸化シリコンである。

【0032】各堆積及びパターン化プロセスは半導体業界中で良く知られていて、その装置が広く使用されている。組合せられた連続プロセスが、隣層間の良い接着性と同様にICパッケージ組立体に使用される直合体への増強された接着性とを有し、回路への最小のストレスを与える。従って、強く、低欠陥のチップ・パッケージョンを与える、独特なPO構造を形成する。

【0033】連続した被膜層のプラズマ増強化学蒸着(PECVD)は、單一の室内で順次に膜を層として堆積することにより、余分なウェハ取扱いを無くしている。プラズマ増強化学蒸着を使用したプロセスは、室内の雰囲気制御の手段として、清浄で汚染されていない層間の表面を与える。従って、複数層間の接着を促進する。さらに、PECVDは、取扱いなしの連続した堆積により、そして開口を食刻するために単一の光パターン化ステップにより、プロセス・サイクル・タイムを最適化する。

【0034】本発明の完全に無機の被膜は、パッケージング重合体への増強された接着の表面性能の利点のみならず、450度Cを超える大変高い温度安定性をも有し、そして、既存の増強された表面接着PO技術と較べて、改良された熱伝導性を有する。特に、炭化シリコンの第2又は隔壁層を有する実施の形態は、良い熱伝導性を与え、そして高パワー回路に応用できる。

【0035】図5は、本発明のフリップ・チップ組立体を示す。二酸化シリコン511、窒化シリコン513、及び二酸化シリコン513の順次に堆積された保護被膜を有する集積回路装置50が、はんだボール53を使用して基板52に取付けられている。重合体の下側充填化合物55は、保護被膜の酸化物表面513に完全にめれていって、そして劣った接着性により生ずる空隙が下側充填には存在しない。

【0036】図6に、別の実施の形態がリード付きプラスチック・モールド・パッケージの断面図で示されている。ここでは、本発明の複数層の保護被膜61がモールディング化合物65へ増強した接着性を有する。この接着は、チップ69の角において特に有利である。そこ

8

は、プラスチックの剥離がチップ金属構造の剪断及び/又は接着ワイヤの疲労を生ずる。

【0037】以上、本発明がいくつかの好適な実施の形態に関して説明されたが、本発明の範囲を説明された特定の形に限定する意図はない。逆に、特許請求の範囲により定義される本発明の範囲の中に含まれるよう代替物、修正、及び均等物を含むことを意図している。

【0038】以上の記載に関連して、以下の各項を開示する。

16. 1. 増強された接着性の保護被膜を有する集積回路であって、前記被膜は、二酸化シリコンの第1層と、窒化シリコン、炭化シリコン、又は酸化窒化シリコンからなるグループから選ばれたシリコン化合物の第2層と、大変薄い二酸化シリコンの膜を含む第3層と、の薄膜層を有する集積回路。
17. 【0039】2. 前記第1層が、5.000乃至10,000オングストロームの厚さの範囲にある1項に記載の集積回路。
18. 3. 前記第2層が、1,000乃至5,000オングストロームの厚さの範囲にある1項に記載の集積回路。
19. 4. 前記第3層が、500乃至5,000オングストロームの厚さの範囲にある1項に記載の集積回路。
20. 5. 前記層が、プラズマ増強化学蒸着により堆積されている1項に記載の集積回路。
6. 前記第3層が、直合体材料への強い接着性を有する1項に記載の集積回路。
7. 前記被膜が、450度C以上で熱的に安定である1項に記載の集積回路。
8. 前記保護被膜が、水分、移動イオン、及び他の汚染物質の侵入に対しての隔壁である1項記載の集積回路。
30. 9. 前記第1及び第3酸化層が、前記第2誘導体層に強い接着性を有する1項記載の集積回路。
10. 【0040】10. パッケージング膜であって、二酸化シリコンの第1層と、窒化シリコン、炭化シリコン、又は酸化窒化シリコンからなるグループから選ばれたシリコン化合物の第2層と、の薄膜層を有するパッケージング膜。
11. 【0041】11. 直合体材料への増強された接着性を持つ保護被膜を有するフリップ・チップ半導体装置であって、アクティブ回路と相互接続を持った第1表面を有する集積回路と、二酸化シリコンの層、窒化シリコン、炭化シリコン、又は酸化窒化シリコンからなるグループから選ばれたシリコン化合物を含む第2誘導体層、及び二酸化シリコンの薄い第3層を含み、前記第1表面に上に堆積されてパターン化された保護被膜と、下側充填直合体と、はんだボール接点を有する基板と、を含む半導体装置。
12. 前記装置がBGAパッケージである11項に記載の半導体装置。
13. 前記装置がCSPである11項に記載の半導体装

(6)

特開2002-75981

9

10

置。

【0042】14. 重合体材料への増強された接着性を持つ保護被膜を有するリード付き表面実装半導体装置であって、アクティブ回路と相互接続を持った第1表面とリード・フレームに取付けられた第2表面を有する集積回路と、二酸化シリコンの層、塗化シリコン、炭化シリコン、又は酸化塗化シリコンからなるグループから選ばれたシリコン化合物を含む第2誘電体層、及び二酸化シリコンの薄い第3層を含み、前記第1表面に上に堆積されてパターン化された保護被膜と、リード・フレームへチップ上の接着パッドを接続するワイヤ接着と、増強された接着性の保護被膜、接着ワイヤ、リード・フレームの内側リードと共に前記集積回路を封じ込めるエポキシ重合体を含んだモールディング化合物と、を含む半導体装置。

【0043】15. パッケージングに使用される重合体材料及び被膜の層間の増強された接着性を持つ保護被膜を有するリード付き表面実装半導体装置を形成する方法であって、製造された集積回路を含む1つ又は複数の半導体ウエハをプラズマ堆積反応室に内に置き、PETEOS（プラズマ増強テトラエチルオルソ・シリケート）プロセスを使用した二酸化シリコン層の堆積前に、室を排気し、ガス供給を、シラン、窒素及びアンモニアを含むものに変えて、PECVD（プラズマ増強化学蒸着）プロセスを使用し、塗化シリコンの層を堆積し、ガス供給を変えて、PETEOSプロセスを使用して、二酸化シリコンの薄膜を堆積し、ホトレジストを塗布し、接着パッド及び／又は他の開口を光パターン化し、そして乾式食刻プロセスを使用して保護被膜内に開口をエッチングする、各ステップを含む方法。

【0044】16. パッケージングに使用される重合体材料及び被膜の層間の増強された接着性を持つ保護被膜を有するリード付き表面実装半導体装置を形成する方法であって、製造された集積回路を持った1つ又は複数の半導体ウエハをプラズマ堆積反応室に内に置き、PETEOS（プラズマ増強テトラエチルオルソ・シリケート）プロセスを使用した二酸化シリコン層の堆積前に、室を排気し、ガス供給を、シラン、窒素、歐素及びアンモニアを含むものに変えて、PECVD（プラズマ増強化学蒸着）プロセスを使用し、酸化塗化シリコンの層を堆積し、ガス供給を変えて、PETEOSプロセスを使用して、二酸化シリコンの薄膜を堆積し、ホトレジストを塗布し、接着パッド及び／又は他の開口を光パターン化し、そして乾式食刻プロセスを使用して保護被膜内に開口をエッチングする、各ステップを含む方法。

【0045】17. パッケージングに使用される重合体材料及び被膜の層間の増強された接着性を持つ保護被膜

を有するリード付き表面実装半導体装置を形成する方法であって、PETEOS（プラズマ増強テトラエチルオルソ・シリケート）プロセスを使用した二酸化シリコン層の堆積前に、室を排気し、ガス供給を、シラン／メタン、又はトリメチル又はテトラメチル・シランなどを含むものに変えて、PECVD（プラズマ増強化学蒸着）プロセスを使用し、炭化シリコンの層を堆積し、ガス供給を変えて、PETEOSプロセスを使用して、二酸化シリコンの薄膜を堆積し、ホトレジストを塗布し、接着パッド及び／又は他の開口を光パターン化し、そして乾式食刻プロセスを使用して保護被膜内に開口をエッチングする、各ステップを含む方法。

【0046】低ストレスで薄膜の、半導体装置のパッケージングに使用される重合体材料及びバシベーション膜層内の増強された接着性を持つ保護被膜を有する集積回路であって、PECVD処理により堆積された以下の順序の材料を含む：二酸化シリコンの薄膜、塗化シリコン、酸化塗化シリコン、又は炭化シリコンの層、及び大変薄い最上層の酸化シリコン。

【図面の簡単な説明】

【図1】（従来技術）下方充填材を持ったチップ・スケール・パッケージを示す断面図

【図2a】（従来技術）保護被膜上にポリイミド接着層を有するチップ表面を示す断面図。

【図2b】（従来技術）ポリイミド膜を有する半導体装置を収納したリード付きプラスチック・パッケージを示す一部断面図。

【図3】本発明の連続した保護被膜層を示す断面図。

【図4a】本発明の増強された接着性の保護被膜の製造流れを示す断面図。

【図4b】本発明の増強された接着性の保護被膜の製造流れを示す断面図。

【図4c】本発明の増強された接着性の保護被膜の製造流れを示す断面図。

【図4d】本発明の増強された接着性の保護被膜の製造流れを示す断面図。

【図5】PO（保護被膜）と下方充填材との間の増強された接着性を有するフリップ・チップ組立体の断面図。

【図6】本発明のモールドされた半導体装置の一部断面図。

【符号の説明】

30 30 半導体チップ

31 31 保護被膜構造

311 311 二酸化シリコン層（第1層）

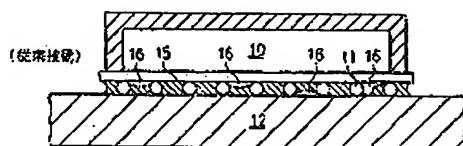
312 312 第2誘電体層

313 313 二酸化シリコン層（第3層）

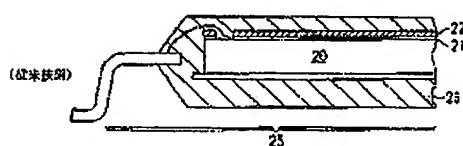
3

特開2002-76981

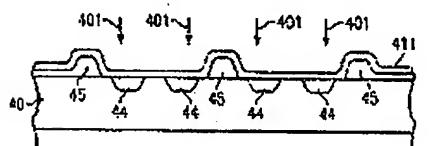
【四】



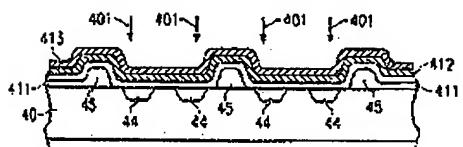
[図2b]



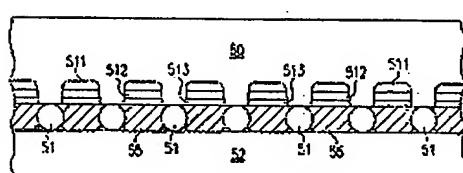
[図48]



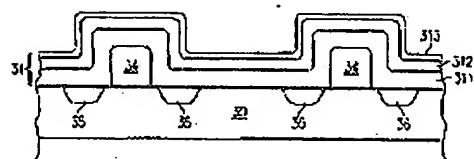
[图4c]



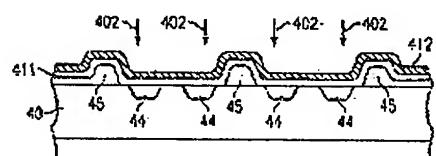
[圖 6]



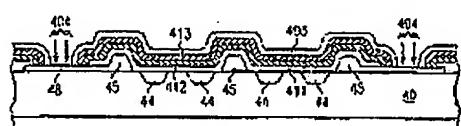
[圖3]



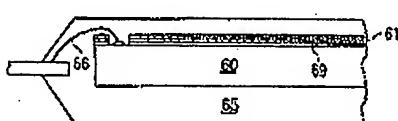
[图41]



[图4(a)]



[圖6]



(8)

特開2002-75981

フロントページの読み

(72)発明者 エリザベス ジー シュイコブズ
アメリカ合衆国 テキサス州 75080 リ
チャードソン リッジビュー ドライヴ
314

Fターム(参考) SF033 QQ09 QQ10 QQ11 QQ19 RR04
RR06 RR08 SS04 SS15 TT02
VV07 XX12
SF058 BD02 BD04 BD10 BD15 BF07
BF23 BF25 BF30 BJ03